

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-259167

(43)Date of publication of application : 24.09.1999

(51)Int.Cl. G06F 1/10
G06F 1/04
H03L 7/00
H04L 7/02

(21)Application number : 11-000049 (71)Applicant : INTERNATL BUSINESS
MACH CORP <IBM>

(22)Date of filing : 04.01.1999 (72)Inventor : DREPS DANIEL MARK
MASLEID ROBERT PAUL
MUHICH JOHN STEPHEN

(30)Priority

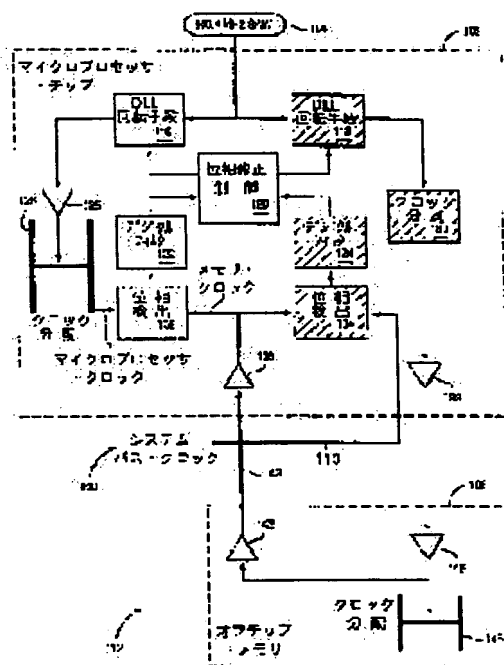
Priority number : 98 4136 Priority date : 07.01.1998 Priority country : US

(54) METHOD AND DEVICE FOR GENERATING SYNCHRONIZED CLOCK SIGNAL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a clock generating device useful for a high-speed subminiature electronic device by making a 1st series of signals succeeding to one another in response to a 1st phase difference, a 2nd series of signals succeed to one another in response to a 2nd phase difference, and the 1st series of signals respond to the 2nd phase difference.

SOLUTION: In response to a reference signal from a SAW generator 104, a 1st DLL digital locked loop rotating means 118 generates 1st signals and in response to a reference signal from a SAW transmitter 104, a 2nd DLL rotating means 116 generates 2nd signals respectively. A clock frequency divider 130 divides the frequency of a 1st clock signal by a multiple of 2 with the 1st series of signals and supplies the result to an off-chip memory 108. With the 2nd series of signals, a 2nd clock signal is supplied to a clock distribution system 128. Those series of signals are made to succeed to one another in response to the phase differences of phase detectors 132 and 134.



LEGAL STATUS

[Date of request for examination] 29.07.1999
[Date of sending the examiner's
decision of rejection]
[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]
[Date of final disposal for application]
[Patent number] 3072733
[Date of registration] 02.06.2000
[Number of appeal against examiner's
decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-259167

(43)公開日 平成11年(1999)9月24日

(51)Int.Cl. ^a	識別記号
G 0 6 F	1/10
	1/04
H 0 3 L	7/00
H 0 4 L	7/02

F I		
G 0 6 F	1/04	3 3 0 A
		A
H 0 3 L	7/00	D
H 0 4 L	7/02	Z

審査請求 未請求 請求項の数10 OL (全 11 頁)

(21)出願番号	特願平11-49
(22)出願日	平成11年(1999)1月4日
(31)優先権主張番号	09/004136
(32)優先日	1998年1月7日
(33)優先権主張国	米国(US)

(71)出願人 390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72)発明者 ダニエル・マーク・ドレブス
アメリカ合衆国78626、テキサス州、ジョージタウン、ベルモント・ドライブ 300

(74)代理人 弁理士 坂口 博 (外1名)

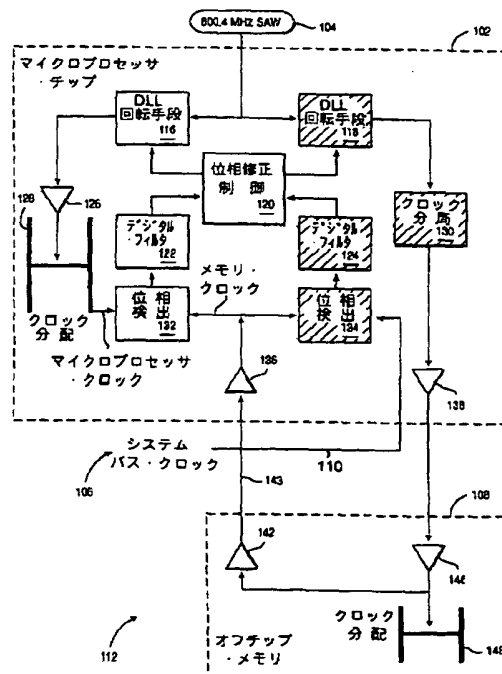
最終頁に続く

(54) 【発明の名称】 同期化されたクロック信号を生成するための方法及び装置

(57) 【要約】

【課題】 高速の超小型電子装置にとって有用なクロック生成装置を提供すること。

【解決手段】 同期化されたクロック信号を生成するための本方法及び装置に従って、一の基準クロック信号に対し時間的に変動する位相差を有する第1及び第2の複数の信号がそれぞれ生成される。前記第1の複数の信号からの一連の信号であって、第1の位相差に応答して互いに連続する当該第1の一連の信号によって、第1のクロック信号が供給される。前記第2の複数の信号からの第2の一連の信号であって、第2の位相差に応答して互いに連続する当該第2の一連の信号によって、第2のクロック信号が供給される。前記第1の複数の信号からの一連の信号も、前記第2の位相差に応答する。



【特許請求の範囲】

【請求項1】同期化されたクロック信号を生成するための方法であって、(イ)一の基準クロック信号に対し時間的に変動する位相差を有する第1及び第2の複数の信号をそれぞれ生成するステップと、(ロ)前記第1の複数の信号からの第1の一連の信号によって第1のクロック信号を供給するステップと、(ハ)前記第2の複数の信号からの第2の一連の信号によって第2のクロック信号を供給するステップとを含み、

前記第1の一連の信号が第1の位相差に応答して互いに連続しており、前記第2の一連の信号が第2の位相差に応答して互いに連続しており、また前記第1の一連の信号が前記第2の位相差にも応答することを特徴とする、前記方法。

【請求項2】前記第1の一連の信号が第1の方向における前記第2の位相差に応答することを特徴とする、請求項1記載の方法。

【請求項3】前記第2の一連の信号が第2の方向における前記第2の位相差に応答することを特徴とする、請求項2記載の方法。

【請求項4】前記第1の位相差が前記第1のクロック信号と前記基準クロック信号との間の位相差であることを特徴とする、請求項1記載の方法。

【請求項5】前記第2の位相差が前記第1のクロック信号と前記第2のクロック信号との間の位相差であることを特徴とする、請求項1記載の方法。

【請求項6】同期化されたクロック信号を生成するための装置であって、(イ)一の基準クロック信号に対し時間的に変動する位相差を有する第1及び第2の複数の信号をそれぞれ生成するための生成手段と、(ロ)第1の位相差に応答して、前記第1の複数の信号からの第1の一連の信号によって、第1のクロック信号を供給するための第1の同期化手段と、(ハ)第2の位相差に応答して、前記第2の複数の信号からの第2の一連の信号によって、第2のクロック信号を供給するための第2の同期化手段とを備え、

前記第1の同期化手段が前記第2の位相差に応答するようにしたことを特徴とする、前記装置。

【請求項7】前記第1の同期化手段が第1の方向における前記第2の位相差に応答するようにしたことを特徴とする、請求項6記載の装置。

【請求項8】前記第2の同期化手段が第2の方向における前記第2の位相差に応答するようにしたことを特徴とする、請求項6記載の装置。

【請求項9】前記第1の位相差が前記第1のクロック信号と前記基準クロック信号との間の位相差であることを特徴とする、請求項6記載の装置。

【請求項10】前記第2の位相差が前記第1のクロック信号と前記第2のクロック信号との間の位相差であることを特徴とする、請求項6記載の装置。

【発明の詳細な説明】

【0001】

【関連する特許出願】本願は、その譲受人に譲渡され且つ米国特許商標庁において出願済みの以下の米国特許出願に関連している。“Method and Apparatus for Phase Rotation in a Phase Locked Loop”と題する、1998年1月7日出願の米国特許出願第004133号(出願人の整理番号:AT9-96-195);及び“A Clock Generation Apparatus and Method for CMOS Microprocessors Using a Differential SAW Oscillator”と題する、1996年10月31日出願の米国特許出願第742220号(出願人の整理番号:AT9-96-166)。

【0002】

【発明の属する技術分野】本発明は一般に集積回路技術に係り、更に詳細に説明すれば、CMOSマイクロプロセッサの集積回路内で利用するのに適したクロック生成装置に係る。

【0003】

【従来の技術】動的回路を利用した集積化マイクロプロセッサ回路を設計する際には、低いジッタを有する回路を採用することが極めて望ましい。「ジッタ」とは、信号内の振動又は変動を意味する。特に集積回路装置内では、ジッタは、電源雑音及び基板雑音によって発生し、信号の振幅又は位相の何れかにおける短時間の不安定性として現れる。かくて、ジッタは、クロック・エッジの生起時における不確実性として記述することができる。一般に、集積回路装置内では、2種類のジッタ(正及び負のジッタ)に遭遇する。負のジッタは、一のクロック・エッジがその理想的な時点よりも進んでいる度合いを表す時間量である。これに対し、正のジッタは、一のクロック・エッジがその理想的な時点よりも遅れている度合いを表す時間量である。クロック・ソースの負のジッタは、マイクロプロセッサ・システムの使用可能なサイクル時間を減少させるように作用する。

【0004】ジッタの重要性を表す1つの例を挙げると、位相同期ループ(PLL)を利用した高解像度のグラフィック表示装置については、PLLのジッタ性能がシステム性能を制限するということがある(PLLは、一の基準信号と特定の位相関係にある一の出力信号を維持するために、帰還を利用するような回路又はシステムである)。かかるPLLに見られるジッタ問題の主要な原因は電源雑音の結合であり、そしてこのことは、同一の装置上に複数の低電源電圧及び複数のクロック・シンセサイザが存在するときに著しい。

【0005】マイクロプロセッサ・クロック信号を生成するのにPLLを利用することは、当該技術分野では周知である。高性能のマイクロプロセッサと同じチップ上に搭載したPLLについては、デジタル回路の電源スイッチング雑音が出力ジッタの主要な雑音源となる。他

方、低電力のPLLについては、PLLの電圧制御発信器における金属酸化シリコン装置の固有雑音が第2のジッタ源となる。この雑音は、電力消費の増加によって減少させることができる。低電圧のアナログ回路を得るためには、比較的幅の広い装置を利用することによって、即ち電源電圧とアナログ・ノードとの間の寄生容量を大きくすることによって、MOS装置の飽和電圧を減少させなければならない。この比較的大きな寄生容量は、同じ電流消費についての電源雑音除去量を減少させるように作用する。かくて、マイクロプロセッサ・クロック信号を生成するためにPLLを利用する際の問題とは、制限されたジッタ、低い電源電圧及び低い電力消費の要件を全体として満足するようなPLLを設計することである。PLLを基礎とするシステムにおけるジッタの改善にも拘わらず、前述の問題は、PLLの応用の困難性を表している。

【0006】弾性表面波(SAW)発信器がPLLの応用に魅力的であると考えられている所以は、SAW発信器が非常に高い周波数で動作するだけでなく、例えば高々10ピコ秒程度のジッタを有することからも明かなように、正確な周波数仕様を満足するように製造することができる、という点にある。しかしながら、通常のアナログ形式のPLLは、例えば200ピコ秒程度の、比較的大きなジッタを有する電圧制御発信器を含んでいる。かくて、SAW発信器を通常のPLLと組み合わせると、PLLの電圧制御発信器の比較的大きなジッタが、これよりもずっと小さいSAW発信器のジッタに追加されることになる。

【0007】前掲の1つ以上の関連出願は、通常のアナログ形式のPLLの代わりに、デジタル同期ループと結合したSAW発信器を開示している。本明細書及び前掲の関連出願の明細書中に現れている「デジタル同期ループ(DLL)」という用語は、通常のDLLとは異なった意味で使用されている。一般に、通常の意味で使用されている「DLL」という用語は、特別の種類PLLを表している。全てのPLLと同様に、このDLLは、周期的信号を生成するとともに、一の帰還信号に基づいて周期的信号の位相を調整するための回路を含んでいる。この帰還信号は、少なくとも部分的に周期的信号それ自体から得られる。通常のDLLでは、その帰還経路内に一のデジタル遅延要素が設けられている。即ち、デジタル論理要素の論理的状态によって制御される個別ステップの間に、このデジタル遅延要素の遅延量が調整されるのである。このデジタル遅延要素は、位相調整のために使用される。その一層詳細な背景については、米国特許第5422776号及び第5610548号を参照されたい。本発明及び関連発明のDLLでは、位相調整はデジタル的に制御されるが、単にデジタル遅延要素の遅延量を調整するだけで位相調整が制御されるのではない。

【0008】オンチップ・クロックに応用するために、前掲の関連出願に開示されているSAW発信器を包含したDLL(SAW/DLL結合体)は、400MHzのマシン・サイクルに対する0.4%の固有動作ジッタに基づいて、負のジッタをほぼ10ピコ秒まで減少させることができる。これに対し、通常のアナログ形式のPLLは、400MHzのマシン・サイクルに対する8%のジッタに基づいて、ほぼ200ピコ秒の負のジッタを有する。

【0009】他方、正のジッタは、このSAW/DLL結合体については、数百ピコ秒の範囲ですら、その生起頻度が非常に小さい。このように、正のジッタが極めて稀にしか生起せず、しかもSAW発信器の基本周波数を非常に高い精度で指定することができるために、オンチップ・クロック信号のソースについては、正のジッタは全く問題とならないのである。即ち、このクロック信号の結果的な周波数は、400MHzにおいて長期間にわたって安定であるから、オンチップの応用に十分に適している。

【0010】通常PLLを前掲の関連出願に従ったSAW/DLL結合体で置き換えると、内部チップ・クロック信号のジッタを実質的に改善することができるが、その場合には、チップ間インタフェースについて追加の問題が残ることになる。これらの問題に対処するための代替方法は、非同期式のチップ間インタフェースを使用することである。しかし、かかる非同期式インタフェースの準安定性問題を解決するには、データを再同期化するためのパイプライン式ラッチを要するのが普通である。これらのラッチは、受け入れることができない余分の待ち時間を導入することがあるので、解決手段として好ましくない。

【0011】かくて、かかるSAW/DLL結合体を基礎とするクロック信号用のチップ間経路に関連する正のジッタのペナルティを減少させることについて、明白な要請が存在する。

【0012】

【発明が解決しようとする課題】従って、本発明の目的は、前述の要請に応えるために、高速の超小型電子装置にとって広い範囲で有用なクロック生成装置を提供することにある。本発明の前記及び他の目的は、以下に説明するようにして達成される。

【0013】

【課題を解決するための手段】本発明の第1の形式は、同期化クロック信号を供給するための方法に向けられている。この方法は、一の基準クロック信号に対し時間的に変動する位相差を有する第1及び第2の複数の信号をそれぞれ生成するステップと、前記第1の複数の信号からの第1の一連の信号によって第1のクロック信号を供給するステップと、前記第2の複数の信号からの第2の一連の信号によって第2のクロック信号を供給するステ

ップとを含み、前記第1の一連の信号が第1の位相差（即ち、位相誤差）にตอบสนองして互いに連続しており、前記第2の一連の信号が第2の位相差にตอบสนองして互いに連続しており、また前記第1の一連の信号が前記第2の位相差にもตอบสนองすることを特徴としている。

【0014】他の側面において、前記第1の一連の信号は、第1の方向における前記第2の位相差にตอบสนองする。更に、前記第2の複数の信号間のスイッチングは、第2の方向における前記第2の位相差にตอบสนองして行われる。

【0015】更に他の側面において、前記第1の位相差は、前記第1のクロック信号と前記基準クロック信号との間の位相差である。また、前記第2の位相差は、前記第1のクロック信号と前記第2のクロック信号との間の位相差である。

【0016】他の形式において、本発明は、同期化クロック信号を供給するための装置に向けられている。この装置は、一の基準クロック信号に対し時間的に変動する位相差を有する第1及び第2の複数の信号をそれぞれ生成するための生成手段と、第1の位相差にตอบสนองして、前記第1の複数の信号からの第1の一連の信号によって、第1のクロック信号を供給するための第1の同期化手段と、第2の位相差にตอบสนองして、前記第2の複数の信号からの第2の一連の信号によって、第2のクロック信号を供給するための第2の同期化手段とを備え、前記第1の同期化手段が前記第2の位相差にもตอบสนองするようにしたことを特徴としている。

【0017】他の側面において、前記第1の同期化手段は、第1の方向にある前記第2の位相差にตอบสนองする。また、前記第2の同期化手段は、第2の方向にある前記第2の位相差にตอบสนองする。更に、前記第1の位相差は、前記第1のクロック信号と前記基準クロック信号との間の位相差である。また、前記第2の位相差は、前記第1のクロック信号と前記第2のクロック信号との間の位相差である。

【0018】

【発明の実施の形態】図1には、本発明を実現可能なパーソナル・コンピュータ・システムの外觀斜視図が示されている。パーソナル・コンピュータ10の内部には、システム・ユニット12、ビデオ表示端末14、英数字キー及び他のキーを有する英数字入力装置（キーボード16）、マウス18が実現されている。コンピュータ10には、トラックボール又はスタイラスのような追加の入力装置（図示せず）も含めることができる。コンピュータ10は、適当な任意のコンピュータを使用して実現することができる。

【0019】図示の実施例はパーソナル・コンピュータを含むものとして説明されているが、高機能ワークステーションやミニコンピュータ等の、他の形式のデータ処理システムでも本発明の推奨実施例を実現することができる。また、パーソナル・コンピュータ10は、その動

作を指示するための、機械可読媒体内に存在するグラフィカル・ユーザ・インタフェースを含んでいることが好ましい。

【0020】図2には、コンピュータ10内にある選択された構成要素のブロック図が示されている。システム・バス20は、コンピュータ10の内部にある種々の構成要素を相互接続するとともに、これらの構成要素間の通信を確立するためのものである。例えば、システム・バス20には、数値計算用のコプロセッサ24を有するマイクロプロセッサ（MPU）22が接続されている。同様に、システム・バス20に接続された直接メモリ・アクセス（DMA）制御装置26は、大量のI/Oデータを転送する際に、種々の周辺装置がMPU22からのサイクルを専有又は盗用することを可能にする。

【0021】システム・バス20には、読み取り専用メモリ（ROM）28及びランダム・アクセス・メモリ（RAM）30も接続されている。ROM28は、MPU22のアドレス空間のうち640K～1メガバイトの範囲にマップされている。同様に、システム・バス20に接続されているCMOS-RAM32は、システム構成情報を保持する。適当な任意の機械可読媒体（例えば、RAM30、ROM28、磁気ディスク又は光ディスク）は、コンピュータ10のグラフィカル・ユーザ・インタフェースを保持することができる。

【0022】システム・バス20に接続されているメモリ制御装置34、バス制御装置36及び割り込み制御装置38は、システム・バス20を通して種々の周辺装置、アダプタ間で授受されるデータ流の制御を援助するように機能する。また、図1のシステム・ユニット12は、図2に例示されている種々のI/O制御装置（キーボード/マウス制御装置40、ビデオ制御装置42、パラレル制御装置44、シリアル制御装置46及びディスク制御装置48）を含んでいる。キーボード/マウス制御装置40は、キーボード50及びマウス52用のハードウェア・インタフェースを提供する。

【0023】ビデオ制御装置42は、ビデオ表示端末54用のハードウェア・インタフェースを提供する。パラレル制御装置44は、プリンタ56のような周辺装置用のハードウェア・インタフェースを提供する。シリアル制御装置46は、モデム58のような周辺装置用のハードウェア・インタフェースを提供する。ディスク制御装置48は、フロッピー・ディスク・ユニット60用のハードウェア・インタフェースを提供する。MPU22に関連して、タッチ・スクリーン又は音声制御のような他の技術も利用することができる。ハード・ディスク・ユニット64用のハードウェア・インタフェースを提供する、ディスク制御装置62のような拡張カードも、システム・バス20に追加的に接続することができる。空きスロット66が設けられているのは、図1のシステム・ユニット12に対し、他の周辺装置やアダプタを事後

的に追加できるようにするためである。システム・ユニット12を他のデータ処理システムのネットワークに結合するために、ネットワーク・カード67をシステム・バス20に追加することができる。図2に示されたハードウェア構成が特定のアプリケーションに応じて変わることは、当業者にとって自明の事項に属する。例えば、前述のハードウェアに加えて又はそれに代えて、(光ディスク媒体、オーディオ・アダプタ、PAL又はEPROMのようなチップ・プログラミング装置等の)他の周辺装置を利用することができる。種々の実施例では、前述の構成要素のうち任意の又は全てのもの及びこれに関連するハードウェアを利用することができる。しかしながら、特定の実現形態に従った種々の目的のために、前述のシステムの任意の構成を利用可能であることに留意すべきである。

【0024】図3は、本発明の推奨実施例に従った複数のDLLを結合するための自己同期式位相遅延システム100を例示する高水準のブロック図である。システム100は、これらの複数のDLLの位相調整が一の同期点において同時に生ずるように制御するためのものである。

【0025】システム100は、独立的に動作する複数のDLLに関連する処の、位置合わせされていない位相調整に対するタイミング・ペナルティを減少させる。通常のペナルティは、チップ間経路の時間を増加させる。図3の構成では、SAW発信器104が第2の基準信号をマイクロプロセッサ・チップ102に送信する。また、このチップ102は、システムバス・クロック106からシステム・バス110を介して第1の基準信号を受信する。マイクロプロセッサ・チップ102には、オフチップ・メモリ(チップ)108が結合されている。マイクロプロセッサ・チップ102は、所与のコンピュータ・システムのCPU又はMPUを、単一又は少数の半導体チップ上に実現したものである。例えば、マイクロプロセッサ・チップ102は、図2に示されているMPU22と同等のMPUとすることができる。

【0026】マイクロプロセッサ・チップ102は、複数チップのマイクロプロセッサ・システム(例えば、複数チップの単一プロセッサ、オフチップ・メモリを備えた単一プロセッサ又は多重プロセッサ構成)の一部として含まれることもある。システムバス・クロック106からの第1の基準信号は、システム・バス110を介してマイクロプロセッサ・チップ102に供給される。SAW発信器104は、水晶のような適当な振動材に基づく水晶発振器とすることができる。オフチップ・メモリ108は、マイクロプロセッサ・チップ102に関連して利用するための、キャッシュ・メモリ領域のような補助メモリを提供することができる。マイクロプロセッサ・チップ102及びオフチップ・メモリ108の組み合わせは、多重プロセッサの基本構造を提供する。

【0027】図4は、本発明の推奨実施例に従った複数のDLLを結合するための自己同期式位相遅延システム112を例示する詳細ブロック図である。図3及び図4の構成要素のうち同じ構成要素には、同じ参照番号がそれぞれ付されている。また、図4に示されている種々の機能ブロックの詳細は、前掲の関連出願に記述されている。SAW発信器104は、800.4MHzのSAW発信器であることが好ましい。マイクロプロセッサ・チップ102に含まれている第1のDLL回転手段118は、SAW発信器104からの第2の基準信号を受信する。第2のDLL回転手段116も、SAW発信器104からの第2の基準信号を受信する。

【0028】回転手段116及び118は、SAW発信器104からの第2の基準信号に応答して多数の信号を生成する。後述のように、これらの信号は、一のクロック用のソース信号として使用される。図5を参照して後述する実施例では、各回転手段が4つの信号を生成する。これらの信号のうち、各回転手段が生成する第1の信号は第2の信号よりも1/4サイクル(位相)進んでおり、第2の信号は第3の信号よりも1/4サイクル進んでおり、第4の信号は第3の信号よりも1/4サイクル進んでいる。各回転手段の各出力時点において、前記4つの信号のうち1つがソース信号として選択される。かかるソース信号の選択は、順次に行われるようになっている。即ち、第1の信号の後に第2の信号が選択され、第2の信号の後に第3の信号が選択され、以下同様である。従って、各回転手段から出力するように選択されたソース信号における変更を指すために、「回転」という用語を使用することにする。というのは、4つの可能なソース信号からの選択は、1-2-3-4-1...の順に回転式に行われるからである。また、各回転手段から出力するように選択されたソース信号におけるこのような変更を指すために、「ストール」という用語も使用することにする。というのは、前記4つの信号の各々は先行する信号に対しそれぞれ1/4サイクル遅れているために、第1の信号等から第2の信号等にスイッチする場合には、各回転手段の出力において遅れ方向に1/4サイクルのシフトが殆ど瞬時に現れるからである。

【0029】第1のDLL回転手段118は、第1のクロック信号をクロック分周器130に供給し、このクロック分周器130は、第1のクロック信号を予定の倍数、例えば2の倍数で分周することにより、「メモリ・クロック」信号、即ちオフチップ・メモリ108用のクロック信号を供給する。

【0030】第2のDLL回転手段116は、第2のクロック信号をバッファ126に供給し、このバッファ126は、バッファされたクロック信号をクロック分配システム128に供給する。クロック分配システム128は、バッファされたクロック信号、即ち「マイクロプロセッサ・クロック」信号を、クロック分配システム12

8の全体を通して分配する。

【0031】位相修正制御回路120からの出力は、第1及び第2のDLL回転手段118、116にそれぞれ入力される。第2の位相検出器132からの制御信号は、第2のデジタル・フィルタ122に供給される。第2のデジタル・フィルタ122からの制御信号は、位相修正制御回路120に供給される。第1の位相検出器134からの制御信号は、第1のデジタル・フィルタ124に供給される。また、第1のデジタル・フィルタ124からの制御信号は、位相修正制御回路120に供給される。

【0032】第2の位相検出器132は、クロック分配システム128を通して、第2のDLL回転手段116からの第2のクロック信号を受信する。第1の位相検出器134は、システムバス・クロック106から第1の基準信号を受信する。バッファ136は、分周器130からのクロック信号を、第2及び第1の位相検出器132、134にそれぞれ供給する。

【0033】オフチップ・メモリ108に含まれているバッファ142は、バッファ138及び146を介して、分周器130からのクロック信号を受信する。また、バッファ146からの出力は、クロック分配システム148にも結合されている。

【0034】図4に全体として示されている自己同期式位相遅延システム112は、第1及び第2のDLL回転手段118、116からの第1及び第2のクロック信号を統一的に制御することを可能にする。即ち、第1及び第2のクロック信号を、クロック分配システム128及び（マイクロプロセッサ・チップ102とオフチップ・メモリ108との間の）チップ間経路を通して、位相修正制御回路120に帰還することにより、第1及び第2のクロック信号を互いに同期化するとともに、これをシステムバス・クロック106からの第1の基準信号とも同期化する、ということである。

【0035】システムバス・クロック106からの第1の基準信号及びメモリ・クロック信号は、次のようにして位相ロックされる。即ち、第1の位相検出器134は、システムバス・クロック106からの第1の基準信号と（分周器130によって分周され且つチップ間経路によって遅延された第1のクロック信号から得られた）メモリ・クロック信号との間の位相差を検出し、その検出結果に応じた位相誤差信号を第1のデジタル・フィルタ124に供給する。この第1のデジタル・フィルタ124は、かかる位相誤差信号を積分して、その値に応じた制御信号を位相修正制御回路120に供給する。この場合、位相修正制御回路120は、第1の回転手段118を通して、メモリ・クロック信号のストールを制御する。

【0036】マイクロプロセッサ・クロック信号及びメモリ・クロック信号は、メモリ・クロック信号用のソー

スが回転されるたびにマイクロプロセッサ・クロック信号用のソースを回転することによって、互いに同期化されるようになっている。即ち、第2の位相検出器132は、マイクロプロセッサ・クロック信号（第2の回転手段116の出力）とメモリ・クロック信号（第1の回転手段118の出力）との間の位相差を検出し、その検出結果に応じた位相誤差信号を第2のデジタル・フィルタ122に供給する。この第2のデジタル・フィルタ124は、かかる位相誤差信号を積分して、その値に応じた制御信号を位相修正制御回路120に供給する。この場合、位相修正制御回路120は、第2の回転手段116を通してマイクロプロセッサ・クロック信号（第2のクロック信号）のストールを制御する。位相検出器132、デジタル・フィルタ122及び位相修正制御回路120の制御が第2の回転手段116に及ぼす最終的な効果は、メモリ・クロック信号（第1の回転手段118の出力）の回転にตอบสนองして、マイクロプロセッサ・クロック信号（第2の回転手段116の出力）が回転される、ということである。なぜなら、メモリ・クロック信号の回転（ストール）は、マイクロプロセッサ・クロック信号をメモリ・クロック信号よりも進ませ、そしてこれは位相検出器132等を通して修正されるからである。

【0037】他方、メモリ・クロック信号がマイクロプロセッサ・クロック信号よりも進んでいれば、位相修正制御回路120は、マイクロプロセッサ・クロック信号に関連する第2の位相検出器132からの位相誤差信号にตอบสนองして、メモリ・クロック信号に関連する第1の回転手段118をストールさせる。

【0038】位相修正制御回路120による位相修正制御は、マイクロプロセッサ・クロック信号とメモリ・クロック信号との間の位相差を検出する第2の位相検出器132にตอบสนองして、メモリ・クロック信号に関連する第1の回転手段118の回転をトリガするものである。このような位相修正制御は、低い周波数（例えば、1kHz）、即ちクロック伝播ループ内の周辺温度変化に対処するのに十分な周波数で行えばよい。

【0039】前述の説明から明らかなように、SAW発信器104から得られ且つ分周器130によって分周されたメモリ・クロック信号は、システムバス・クロック106からの第1の基準信号よりも若干高速であるように設計されている。更に、SAW発信器104、第1の回転手段118、分周器130、諸信号経路、第1の位相検出器134、第1のデジタル・フィルタ124及び位相修正制御回路120は、第1のDLLを形成する。この第1のDLLは、メモリ・クロック信号がシステムバス・クロック106からの第1の基準信号との同期状態を維持するように、必要に応じてメモリ・クロック信号をストールするものである。この第1のDLL内にある第1の回転手段118は、SAW発信器104からの第2の基準信号にตอบสนองして、第1の複数の信号を生成す

る。かかる第1の複数の信号は、システムバス・クロック106からの第1の基準信号に対し、時間的に変動する位相差を有する。

【0040】また、SAW発信器104、第2の回転手段116、クロック分配システム128を含むマイクロプロセッサ・クロック信号の経路、第2の位相検出器132、第2のデジタル・フィルタ122及び位相修正制御回路120は、第2のDLLを形成する。この第2のDLLは、メモリ・クロック信号よりも進んでいるマイクロプロセッサ・クロック信号にตอบสนองして、マイクロプロセッサ・クロック信号をストールするものである。この結果、マイクロプロセッサ・クロック信号がメモリ・クロック信号よりも進んでいる場合に、これらのクロック信号を互いに同期させることができる。この第2のDLL内にある第2の回転手段116は、SAW発信器104からの第2の基準信号にตอบสนองして、第2の複数の信号を生成する。かかる第2の複数の信号は、システムバス・クロック106からの第1の基準信号に対し、時間的に変動する位相差を有する。

【0041】第1及び第2のDLLを形成する前述の要素のうち、第1の位相検出器134及び第1のデジタル・フィルタ124を除く全ての要素は、第3のDLLを形成する。この第3のDLLは、メモリ・クロック信号よりも遅れているマイクロプロセッサ・クロック信号にตอบสนองして、メモリ・クロック信号をストールするものである。この結果、マイクロプロセッサ・クロック信号がメモリ・クロック信号よりも遅れている場合に、これらのクロック信号を互いに同期させることができる。

【0042】ここで、前述の互いに結合された複数のDLLのタイミングを詳細に検討する前に、前掲の関連出願に従った単一のDLLのタイミングを詳細に検討するのが有用であろう。図5には、SAW発信器を使用した単一のDLLについて、時間の関数としてクロック信号の位相誤差が例示されている。この例は、400MHzの周波数を有する所望のクロック信号を示している。従って、図示されている位相誤差は、400MHzの目標周波数に対する位相誤差である。

【0043】この例では、800.4MHzのSAW発信器から4つの可能なソース信号が得られる。これらの信号のうち、第2の信号は第1の信号よりも1/4サイクル(位相)遅れており、第3の信号は第2の信号よりも1/4サイクル遅れ、以下同様である。最初は、第1の可能なソース信号が、400MHzの周波数を有する所望のクロック信号用のソース信号として使用される。クロック信号用のソース信号は、第1の可能なソース信号から第2の可能なソース信号にスイッチされ、次に第2から第3にスイッチされ、以下同様である。図5に示されている位相誤差は、選択されたソース信号によって生ぜられ、そして前述のように、400MHzの目標周波数を有するクロック信号に対して測定される。即ち、

t0～t1の第1のインターバル中には、図示されたソース信号は第1の可能なソース信号からのものであり、t1～t2の第2のインターバル中には、図示されたソース信号は第2の可能なソース信号からのものであり、以下同様である。

【0044】図5の時点t0から説明を開始すると、図示された400.2MHzのソース信号は、その各サイクルごとに、所望の400MHzの目標周波数に対し所望のサイクルの0.2/400だけゆっくり進んでいる。400MHzの1サイクルは2500ピコ秒であるから、この位相誤差は、 $0.2/400 \times 2500$ ピコ秒/サイクル(即ち、1.25ピコ秒/サイクル)の傾斜で、時間の経過とともに増加する。また、この基本周波数の範囲内では、典型的なSAW発信器が10ピコ秒程度の総合的な固有動作ジッタを有することは珍しくない。このため、図5は、1.25ピコ秒/サイクルの位相誤差の傾斜を、10ピコ秒幅のバンドとして示している。

【0045】400.2MHzの周波数で動作すると、500サイクル後には、SAW発信器から得られたソース信号は目標周波数の400MHzに対し1/4サイクルを獲得することになる。即ち、 $1/4$ サイクル= $(0.2/400) \times (500 \text{ サイクル})$ となる。ここで、右辺の第1項である $(0.2/400)$ という数値は、1サイクル当たりの位相誤差の増分を表す。理想的な状況では、時点t1において1/4サイクルの位相誤差に到達し、これにตอบสนองして、ソース信号が第1の可能なソース信号から第2の可能なソース信号にスイッチされる。400.2MHzの周波数において、第2の可能なソース信号は、第1の可能なソース信号に対し1/4サイクル遅れているから、このスイッチングの結果として、位相誤差内に1/4サイクルよりも小さい非常に僅かな正のシフト、即ち $(400/400.2)/4$ の正のシフトが殆ど瞬時に導入されることになる。このため、累積された負の位相誤差は、固有動作ジッタよりもずっと小さなマージン内で、完全にオフセットされるのである。理想的には、このスイッチングは、1/4サイクルよりも若干小さい累積された位相誤差にตอบสนองして行われるから、位相誤差内の正のシフトは、累積された負の位相誤差に一層正確に一致することになる。しかしながら、図5の内容を簡潔にするため、このスイッチングは、累積された1/4サイクルの負の位相誤差については、500サイクルごとに行われるように図示されている。累積された位相誤差を完全にオフセットするには、これを適当に訂正することが必要であろう。

【0046】ここで、正及び負のジッタについて説明すると、遷降されるSAW発信器からの信号に固有の10ピコ秒の動作ジッタから生ずる処の制御不能な10ピコ秒の正のジッタに加えて、1/4サイクル遅れているソース信号にスイッチすることによって、500サイクル

ごとに625ピコ秒の正のジッタが意図的に導入される。負のジッタについては、10ピコ秒の固有動作ジッタから生ずる処の制御不能な10ピコ秒の負のジッタに加えて、1サイクル当たり1.25ピコ秒の負のジッタが500サイクルの各インターバルにわたって意図的に累積される。そのようにするのは、SAW発信器から得られる基本周波数が、所望の400MHzのクロック信号よりも0.2MHzだけ高速であるように、意図的に規定されているためである。

【0047】時点t1において、第1の可能なソース信号から第2の可能なソース信号にスイッチした後、前述と同じ(0.2/400)というレートで、負の位相誤差信号の累積が再び開始される。次に、理想的には時点t2で、1/4サイクルを再び獲得した後、このソース信号は、1/4サイクル遅れている第3の可能なソース信号に再びスイッチされる。このプロセスは、継続して回転を反復し、第3の可能なソース信号から第4の可能なソース信号にスイッチし、第4の可能なソース信号から第1の可能なソース信号にスイッチし、以下同様である。

【0048】500サイクルにわたって平均すると、前述の例におけるSAW発信器を包含する単一のDLL(SAW/DLL結合体)は、10ピコ秒の固有動作ジッタを含むジッタを、平均約8.75ピコ秒の正のジッタ及び平均約11.25ピコ秒の負のジッタまで減少させることができる。更に、基本周波数の許容公差が500ppmとなるようにSAW発信器を製造することは周知であるから、所望のクロック信号の目標周波数(この例では400MHz)とソース信号の周波数(この例では400.2MHz)との間の分離を、この例で使用されている0.2MHzよりも小さくすることができる。

【0049】かくて、前述のSAW/DLL結合体に基づくクロック信号の固有動作ジッタに近い値まで、平均ジッタを減少させることができる。それにも拘わらず、かかるクロック信号について見られる比較的頻度は少ないが、大きな値を有する正の瞬間ジッタは、独立した複数のソース信号が結合されていても、意図的に導入されたジッタが同期化されていない場合には、その応用に対する重要な制限を依然として提示する。なぜなら、1つのクロック信号によってクロックされる一方の装置から他のクロック信号によってクロックされる他方の装置にデータが転送される場合には、2つのクロック信号の同期化されていない最大瞬間ジッタが、利用可能なサイクル時間を制限することになるからである。つまり、利用可能なサイクル時間は、データ送信装置による最後の発信(launch)時点及びデータ受信装置の最初の捕捉(capture)時点によって制限される、ということである。最後の発信時間は、送信装置用のクロック信号の正の最大瞬間位相誤差が受信装置のそれと同期化されていないことを条件として、この位相誤差によって決定される。他

方、最初の捕捉時点は、受信装置用のクロック信号の負の最大瞬間位相誤差が送信装置のそれと同期化されていないことを条件として、この位相誤差によって決定される。かくて、送信装置及び受信装置が使用する400MHzのクロック信号の各ソース信号を供給する400.2MHzのDLL/SAW結合体については、前述の例において得られる最大の瞬間ジッタ値によって、使用可能なサイクル時間は、0.75サイクルにすら相当しないのである。

【0050】図6には、図4に関連して説明したように同期化された、互いに結合されたメモリ・クロック信号及びマイクロプロセッサ・クロック信号の位相誤差が示されている。特に、意図的に導入され且つ時間とともに次第に増加する負の位相誤差と、500サイクルごとに1回だけ導入される頻度の小さい瞬時的な正のジッタは、かかる2つのクロック信号のために同期化されるから、これらの影響は、マイクロプロセッサ・チップ102とオフチップ・メモリ108との間で転送中の送信及び受信データに関しては累積的ではない。従って、10ピコ秒であると仮定した固有動作ジッタと、意図的に導入された1.25ピコ秒/サイクルの一定の負のジッタのみが、かかるデータ転送に利用可能なサイクル時間を減少させるに過ぎない。かくて、実効的なサイクル時間は、11.25ピコ秒程度減少されるに過ぎない。

【0051】このことを例示するため、図6の時点taでは、マイクロプロセッサ・クロック信号によってクロックされるマイクロプロセッサ・チップ102からメモリ・クロック信号によってクロックされるオフチップ・メモリ108に対し一の信号が発信される。ここで、時点taにおけるマイクロプロセッサ・クロック信号の意図的に導入された位相誤差eaが-100ピコ秒であると仮定する。この場合、固有動作ジッタは10ピコ秒であるから、この位相誤差は-95~-105ピコ秒の範囲内にある。時点taにおけるメモリ・クロック信号の位相誤差も同じ範囲内にある。なぜなら、その意図的に導入された位相誤差は、マイクロプロセッサ・クロック信号のそれと同期化されているからである。しかしながら、メモリ・クロック信号は、マイクロプロセッサ・チップ102が信号を発信した1サイクル後にこの信号を捕捉する。かくて、メモリ・クロック信号は、その捕捉時点において意図的に導入された位相誤差ebを有する。この位相誤差ebは、意図的に導入された-1.25ピコ秒の位相誤差/サイクルに起因して、-101.25ピコ秒となる。従って、固有動作ジッタを考慮すると、捕捉時点におけるメモリ・クロック信号の位相誤差の範囲は、-96.25~106.25ピコ秒となる。従って、発信時点と捕捉時点における位相誤差間の最悪の差は、-95ピコ秒と-106.25ピコ秒の位相誤差の間の差、即ち11.25ピコ秒となろう。この意図的に導入された位相誤差はかかる2つのクロック信号の

ために同期化されるから、その結果は、時点 t_a の選択の如何に関わらず同じであることを理解すべきである。他方、この意図的に導入された位相誤差がこのような同期化されなかったとすれば、 e_a 及び e_b は、任意の発信時点 t_a について必ずしも1.25ピコ秒だけ離れているものとはならないから、最大の可能な位相誤差の差及びこれに伴う可能なサイクル時間の損失は、この例では、それぞれ635ピコ秒程度の非常に大きいものとなることがある。

【0052】

【発明の効果】以上のように、本発明によれば、高速の超小型電子装置にとって広い範囲で有用なクロック生成装置を提供することができる。

【図面の簡単な説明】

【図1】本発明のシステム及び方法を利用可能なパーソナル・コンピュータ・システムの外観斜視図である。

【図2】図1のパーソナル・コンピュータ・システム内にある選択された構成要素を例示するブロック図である。

【図3】本発明の実施例に従った複数のデジタル同期ループ(DLL)を結合するための自己同期式位相遅延システムを例示する高水準のブロック図である。

【図4】図3の自己同期式位相遅延システムを例示する

詳細ブロック図である。

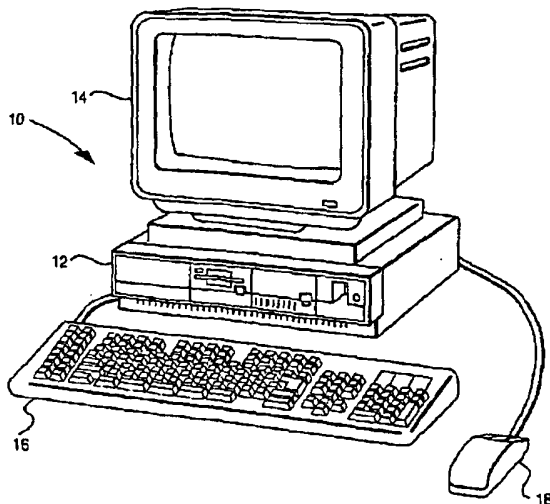
【図5】表面弾性波(SAW)発信器を使用した単一のデジタル同期ループ(DLL)について、その位相差-時間特性を示す図である。

【図6】図4の自己同期式位相遅延システムに従った結合された複数のデジタル同期ループ(DLL)について、その位相差-時間特性を示す図である。

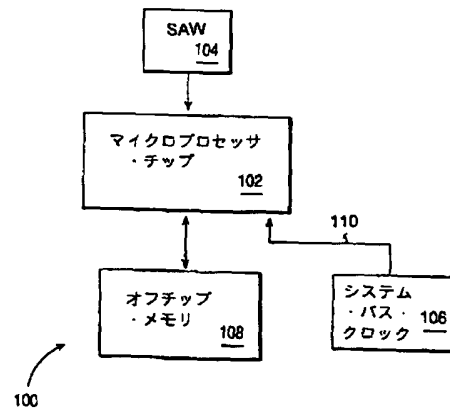
【符号の説明】

102・・・マイクロプロセッサ・チップ
104・・・表面弾性波(SAW)発信器
106・・・システムバス・クロック
108・・・オフチップ・メモリ
116、118・・・デジタル同期ループ(DLL)回転手段
120・・・位相修正制御回路
122、124・・・デジタル・フィルタ
126・・・バッファ
128・・・クロック分配システム
130・・・クロック分周器
132、134・・・位相検出器
136、138・・・バッファ
142、146・・・バッファ
148・・・クロック分配システム

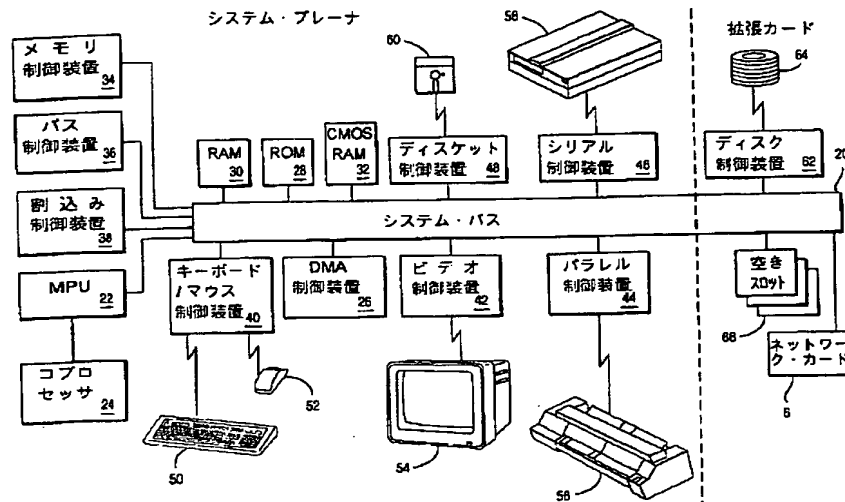
【図1】



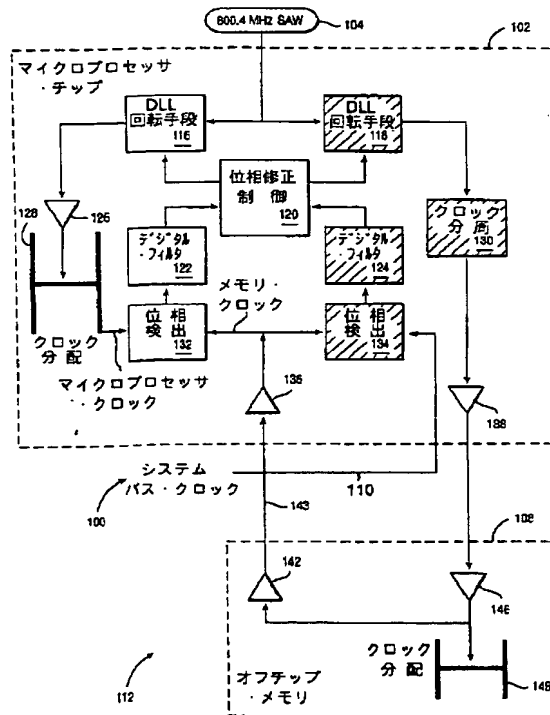
【図3】



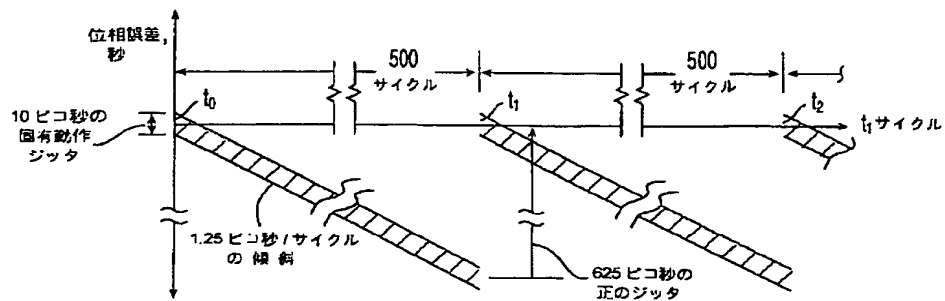
【図2】



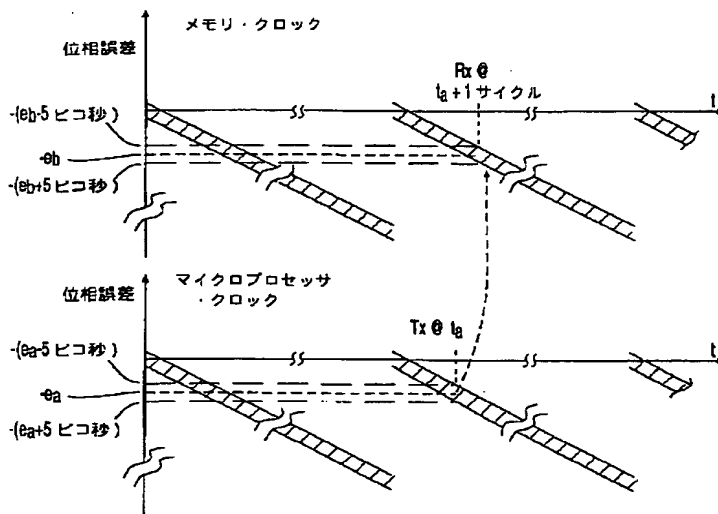
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 ロバート・ボール・マスレイド
アメリカ合衆国78758、テキサス州、オー
スティン、ドーンズベリィ・ドライブ
1400

(72)発明者 ジョン・ステファン・ミューイチ
アメリカ合衆国78731、テキサス州、オー
スティン、スピンエイカ・コープ 4203